

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-307545

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H01L 21/336

H01L 21/265

H01L 29/16

H01L 29/78

(21)Application number : 10-113833

(71)Applicant : DENSO CORP

(22)Date of filing : 23.04.1998

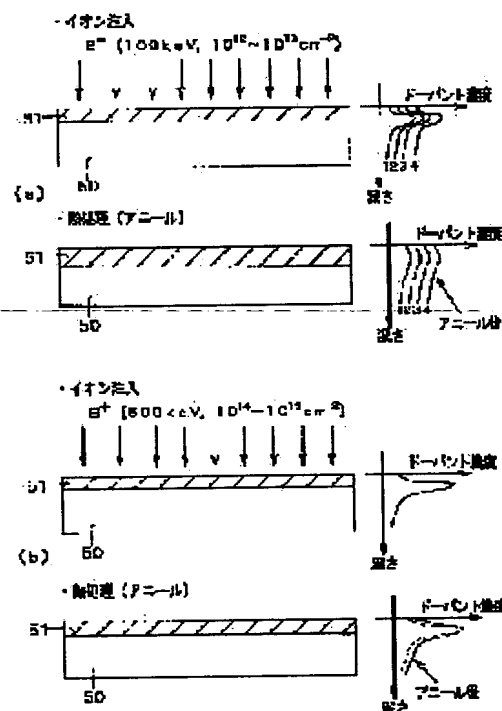
(72)Inventor : OKUNO HIDEKAZU
KOJIMA ATSUSHI

(54) PRODUCING METHOD FOR SILICON CARBIDE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve diffusion coefficient and to enable activation rating when an impurity layer is formed on a silicon carbide semiconductor through ion implantation.

SOLUTION: An impurity layer 51 (such as a base region, for example,) having a desired concentration is formed by repeatedly performing the process of implanting low-concentration ions to be an impurity concentration lower than the desired impurity concentration to a silicon carbide semiconductor substrate 50 and activating the ions implanted by the low-concentration ion implantation at a heat treatment temperature later. Thus, the diffusion coefficient at the diffusing of the implanted ions can be improved, in comparison with the case of forming an impurity layer by simultaneously performing high-concentration ion implantation, when heat treatment is performed after executing the low-concentration ion implantation and furthermore, the activation rate of ions can be improved.



LEGAL STATUS

[Date of request for examination]

09.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 0 7 5 4 5

(43) 公開日 平成 11 年 (1999) 11 月 5 日

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 21/336
21/265
29/16
29/78

H 0 1 L 29/78 6 5 8 A
21/265 F
Z
29/16
29/78 6 5 2 T

審査請求 未請求 請求項の数 7

O L

(全 9 頁)

最終頁に続く

(21) 出願番号 特願平 10-113833

(22) 出願日 平成 10 年 (1998) 4 月 23 日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町 1 丁目 1 番地

(72) 発明者 奥野 英一

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社
デンソー内

(72) 発明者 小島 淳

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社
デンソー内

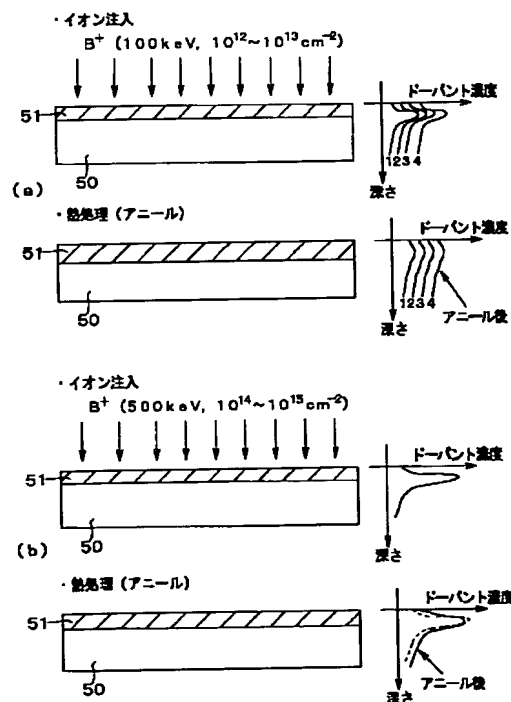
(74) 代理人 弁理士 伊藤 洋二 (外 1 名)

(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【要約】

【課題】 炭化珪素半導体にイオン注入によって不純物層を形成するに際し、拡散係数が高くでき、かつ活性化率ができるようにする。

【解決手段】 炭化珪素半導体基板 5 0 に対して、所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行ったあと、熱処理温度にて、低濃度イオン注入によって注入されたイオン種を活性化させるという工程を繰り返すことによって所望の濃度を有する不純物層 5 1 (例えば、ベース領域) を形成する。このように、低濃度のイオン注入を行ったのち、熱処理を行うと、一度に高濃度のイオン注入を行って不純物層を形成する場合に比して、注入されたイオン種が拡散するときの拡散係数を高くすることができ、さらにイオン種の活性化率を高くすることができる。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 炭化珪素からなる半導体層にイオン注入することで、所望の不純物濃度を有する不純物層を形成してなる炭化珪素半導体装置の製造方法において、前記所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程と、

熱処理温度にて、前記低濃度イオン注入によって注入されたイオン種を活性化させる熱処理工程とを有し、前記低濃度イオン注入工程と前記熱処理工程とを繰り返すことによって前記所望の濃度を有する不純物層を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 2】 第 1 導電型の半導体基板 (1) の主表面上に、該半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、前記半導体層の表層部の所定領域に、所望の不純物濃度を有する不純物層として、所定深さを有する第 2 導電型のベース領域 (3 a、3 b) を形成する工程と、前記ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第 1 導電型のソース領域 (4 a、4 b) を形成する工程と、前記半導体層と前記ソース領域とを繋ぐように、チャンネル形成領域となる表面チャンネル層 (5) を形成する工程と、前記表面チャンネル層をチャンネル領域として、少なくとも該表面チャンネル層上にゲート絶縁膜 (7) を介してゲート電極 (8) を形成する工程と、前記ソース領域及び前記ベース領域と接触するソース電極 (10) を形成する工程と、前記半導体基板のうち前記主表面とは反対側に形成されたドレイン電極 (11) を形成する工程と、を備えた炭化珪素半導体装置の製造方法において、前記ベース領域を形成する工程は、前記半導体層の表層部に、前記所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程と、熱処理温度にて、前記低濃度イオン注入によって注入されたイオン種を活性化させる熱処理工程とを有し、前記低濃度イオン注入工程と前記熱処理工程とを繰り返すことによって前記所望の濃度を有する不純物層を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 3】 前記熱処理工程は、前記低濃度イオン注入工程を終えた後に、熱処理温度を所定温度に昇温する工程と、前記所定温度を所定時間保持する工程と、前記低濃度イオン注入工程を行う温度に降温する工程とからなることを特徴とする請求項 1 又は 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4】 炭化珪素からなる半導体層にイオン注入することで、所望の不純物濃度を有する不純物層を形成

してなる炭化珪素半導体装置の製造方法において、熱処理温度にて注入されたイオン種を活性化させつつ、前記所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程を有することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 5】 第 1 導電型の半導体基板 (1) の主表面上に、該半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、前記半導体層の表層部の所定領域に、所望の不純物濃度を有する不純物層として、所定深さを有する第 2 導電型のベース領域 (3 a、3 b) を形成する工程と、前記ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第 1 導電型のソース領域 (4 a、4 b) を形成する工程と、前記半導体層と前記ソース領域とを繋ぐように、チャンネル形成領域となる表面チャンネル層 (5) を形成する工程と、前記表面チャンネル層をチャンネル領域として、少なくとも該表面チャンネル層上にゲート絶縁膜 (7) を介してゲート電極 (8) を形成する工程と、前記ソース領域及び前記ベース領域と接触するソース電極 (10) を形成する工程と、前記半導体基板のうち前記主表面とは反対側に形成されたドレイン電極 (11) を形成する工程と、を備えた炭化珪素半導体装置の製造方法において、前記ベース領域を形成する工程は、熱処理温度にて注入されたイオン種を活性化させつつ、前記半導体層の表層部に、前記所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程を有することを特徴とする炭化珪素半導体装置の製造方法。

【請求項 6】 前記低濃度イオン注入工程では、ドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以下としていることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 7】 前記熱処理工程では、前記熱処理温度を 1000°C 以上に行っていることを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載の半導体装置の製造方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、炭化珪素半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワー MOSFET に関するものである。

【0002】

【従来の技術】 近年、低いオン抵抗を有し、高温動作可能なパワーデバイスがハイブリッドカー (HEV) や電気自動車 (EV) 用のインバータとして切望されており、その有望なパワーデバイスとして炭化珪素 (SiC) を用いたものが研究・開発されている。

【0003】 炭化珪素を用いてパワーデバイスを製造す

THIS PAGE BLANK (USPTO)

る場合、炭化珪素中の不純物拡散係数が小さいために、熱拡散による不純物層形成が困難である。従って、多くの場合、イオン注入法によって炭化珪素中に不純物をドーピングし、不純物層を形成する技術が一般化している。

【0004】

【発明が解決しようとする課題】しかしながら、炭化珪素に注入されたイオン種の活性化率が極めて低く（例えば窒素の場合には活性化率が10%以下、ボロンの場合には活性化率が5%以下）、イオン注入によって形成した不純物層の抵抗率が高くなるという問題がある。活性化率向上の為に、1000℃以上での高温イオン注入法、1500℃以上での高温熱処理が有効であるとの報告があるが、活性化率は上記の域をでないものである。

【0005】また、炭化珪素の場合、シリコンに比してイオン種の拡散係数が2桁程度小さいため、熱拡散工程によるデバイス作製が困難であり、例えば1μm程度の深さの不純物層を形成するために500keV以上という高エネルギーのイオン注入が必要となり、このように高エネルギーのイオン注入を行える装置が必要になるという問題があった。

【0006】本発明は上記点に鑑みて成され、炭化珪素半導体にイオン注入によって不純物層を形成するに際し、拡散係数が高くでき、かつ活性化率を高くすることができる半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1に記載の発明においては、所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程と、熱処理温度にて、低濃度イオン注入によって注入されたイオン種を活性化させる熱処理工程とを有し、低濃度イオン注入工程と熱処理工程とを繰り返し行うことによって所望の濃度を有する不純物層を形成することを特徴としている。

【0008】このように、低濃度のイオン注入を行ったのち、熱処理を行うと、一度に高濃度のイオン注入を行って不純物層を形成する場合に比して、注入されたイオン種が拡散するときの拡散係数を高くすることができ、さらにイオン種の活性化率を高くすることができる。請求項2に記載の発明においては、ベース領域(3a、3b)を形成する工程は、半導体層の表層部に、所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程と、熱処理温度にて、低濃度イオン注入によって注入されたイオン種を活性化させる熱処理工程とを有し、低濃度イオン注入工程と熱処理工程とを繰り返し行うことによって所望の濃度を有する不純物層を形成することを特徴としている。

【0009】低濃度イオン注入及び熱処理によって、拡散係数が高く、かつ活性化率が高くなるため、接合深

さが深いベース領域を形成する工程を低濃度のイオン注入及び熱処理で行えば、低エネルギーのイオン注入で接合深さを深くできる。具体的には、請求項3に示すように、熱処理工程は、低濃度イオン注入工程を終えた後に、熱処理温度を所定温度に昇温する工程と、所定温度を所定時間保持する工程と、低濃度イオン注入工程を行う温度に降温する工程とをすることができる。

【0010】請求項4に記載の発明においては、熱処理温度にて注入されたイオン種を活性化させつつ、所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行う工程を有することを特徴としている。このように、熱処理温度下において、低濃度のイオン注入を行うようにして、低濃度のイオン注入が行われるごとにそのまま熱処理が行われるようにしても請求項1と同様の効果が得られる。

【0011】また、請求項5に示すように、ベース領域(3a、3b)を形成する工程を、熱処理温度にて注入されたイオン種を活性化させつつ、半導体層の表層部に、所望の不純物濃度よりも低い不純物濃度となる低濃度イオン注入を行うようにすれば、低エネルギーのイオン注入によって接合深さを深くできるため、好適である。

【0012】なお、低濃度イオン注入は、具体的には、請求項6に示すように、ドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 以下とすることができる。また、熱処理工程における熱処理温度は、具体的には、請求項7に示すように、100℃以上としている。

【0013】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。本発明の一実施形態を適用した製造したノーマリオフ型のnチャネルタイププレーナ型MOSFETの断面図を図1に示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。以下、図1に基づいてプレーナ型MOSFETの構成について説明する。

【0014】n⁺型炭化珪素半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型炭化珪素半導体基板(以下、n⁺型半導体基板という)1の主表面1a上には、基板1よりも低いドーパント濃度を有するn⁻型炭化珪素エピタキシャル層(以下、n⁻型エピ層という)2が積層されている。

【0015】本実施形態では、n⁺型半導体基板1およびn⁻型エピ層2の上面を(0001)Si面としている。但し、n⁺型半導体基板1およびn⁻型エピ層2の上面を(112-0)a面としてもよい。つまり、(0001)Si面を用いると低い表面状態密度が得られ、(112-0)a面を用いると、低い表面状態密度で、かつ、完全にらせん転位の無い結晶が得られる。

【0016】n⁻型エピ層2の表層部における所定領域

THIS PAGE BLANK (JSPTO)

には、所定深さを有する p^- 型ベース領域3aおよび p^- 型ベース領域3bが離間して形成されている。また、 p^- 型ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0017】さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型エピ層2および p^- 型ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型エピ層2とを繋ぐように n^- 型SiC層5が配置されている。この n^- 型SiC層5は、 n^- 型層5aと n^+ 型層5bによって構成されている。そして、 n^- 型層5aがデバイスの動作時にデバイス表面においてチャネル形成層として機能する。また、チャネル形成層として機能しない部分を高濃度な n^+ 型層5bとしているため、この部分における抵抗値を低くでき、オン抵抗の低減を図っている。以下、 n^- 型SiC層5を表面チャネル層という。

【0018】表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型エピ層2及び p^- 型ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。表面チャネル層5の上面および n^+ 型ソース領域4a、4bの上面にはゲート酸化膜（ゲート絶縁膜）7が備えられている。

【0019】さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されている。このポリシリコンゲート電極8は、LTO (Low Temperature Oxide) 膜よりなる絶縁膜9にて覆われている。その上には p^- 型ベース領域3a、3b及び n^+ 型ソース領域4a、4bと電氣的に接続されたソース電極10が形成され、ソース電極10は n^+ 型ソース領域4a、4bおよび p^- 型ベース領域3a、3bと接している。また、 n^+ 型半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0020】なお、ベース領域3a、3bにおいて、一部厚さが厚くなったディープベース層30a、30bが形成されている。このディープベース層30a、30bは、 n^+ 型ソース領域に重ならない部分に形成されており、 p^- 型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃くなっている。このようなディープベース層30a、30bによって、ディープベース層30a、30b下の n^- 型エピ層2における厚さが薄くなり（ n^+ 型半導体基板1とディープベース層30a、30bとの距離が短くなり）電界強度を高くすることができ、アバランシェブレイクダウン（以下、ブ

レイクダウンと略す）し易くなる。なお、ディープベース層30a、30bは n^+ 型ソース領域4a、4bと重ならないように形成しているため、寄生NPNトランジスタを動作させにくくすることができる。

【0021】次に、図1に示す縦型パワーMOSFETの製造工程を、図2～図5を用いて説明する。

〔図2(a)に示す工程〕まず、 n^- 型4Hまたは6Hまたは3C-SiC基板、すなわち n^+ 型半導体基板1を用意する。ここで、 n^+ 型半導体基板1はその厚さが400 μm であり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5 μm の n^- 型エピ層2をエピタキシャル成長する。本例では、 n^- 型エピ層2は下地の基板1と同様の結晶が得られ、 n^- 型4Hまたは6Hまたは3C-SiC層となる。

【0022】〔図2(b)に示す工程〕 n^- 型エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてボロン（若しくはアルミニウム）をイオン注入することで、 p^- 型ベース領域3a、3bを形成する。具体的には、まず、温度を700℃、加速度電圧を100keVとした上で、ドーザ量を $1 \times 10^{14} \text{ cm}^{-2}$ として、ボロンをイオン注入する。このイオン注入の後、基板温度を1300℃に上昇して30分間の熱処理を行う。そして、基板温度を700℃に降温する。

【0023】続いて、上記と同様に、上記条件でイオン注入を行なった後、基板温度を1300℃以上に上昇させて30分間の熱処理を行い、その後基板温度を700℃に降温する。そして、このようなイオン注入及び熱処理を繰り返し、上記 p^- 型ベース領域3a、3bが所望のドーザ量となるようにする。例えば、10回の繰り返しにより $1 \times 10^{15} \text{ cm}^{-2}$ となり拡散長を1 μm となるように制御することにより、 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度でドーピングができる。また、加速度電圧を50keV、100keV、200keV、400keVと変えた上で、上記イオン注入法を繰り返すことにより、より正確な位置に正確な濃度の不純物層を形成できる。

【0024】これにより、所望の不純物濃度を有する p^- 型ベース領域3a、3bが形成される。ここで、低濃度のイオン注入を行った後に、熱処理を行った場合について説明する。低濃度のイオン注入を行い熱処理を行った場合、高濃度のイオン注入を行って熱処理を行った場合に比して、熱拡散における拡散係数が高くなり、活性化率も高くなることが判った。

【0025】このような現象が生じる具体的な理由は解明されていないが、本発明者らの検討によると、例えば拡散係数が高くなる理由の1つとして、高濃度のイオン注入を行った場合、多数の結晶欠陥が形成されるため熱拡散係数が小さくなると考えられる。例えば、ドーザ量を $1 \times 10^{14} \text{ cm}^{-2}$ とした低濃度のイオン注入でベース領域3a、3bを形成した場合には、ドーザ量を 1×1

THIS PAGE BLANK (USPTO)

0.15 cm^{-2} とした場合に比して結晶欠陥を数桁少なくすることができるのである。

【0026】また、もう1つの理由として、高濃度のイオン注入を行った場合には、注入されたイオン種の密度が高すぎて、熱拡散時に近傍のイオン種が邪魔になって拡散できないということが考えられる。この様子を図5(a)、(b)に示す比較図に基づいて説明する。図5(a)は炭化珪素半導体基板50に低濃度(ドーザ量: $1 \times 10^{14} \text{ cm}^{-2}$)のイオン注入を行い、さらに1300℃で30分間の熱処理を行うという工程を4回行った場合を示し、(b)は炭化珪素半導体基板50に高濃度(ドーザ量: $1 \times 10^{15} \text{ cm}^{-2}$)のイオン注入を行い、さらに1700℃で1時間の熱処理を行った場合を示している。なお、図5(a)、(b)の紙面右側に示す特性図は炭化珪素半導体基板50の深さに対するドーパント濃度を示しており、図5(a)において示されている数字は何回目のイオン注入かを示している。

【0027】これらの図からも判るように、低濃度のイオン注入を行った後に熱処理を行った場合には、注入されたイオン種が十分に熱拡散して不純物層51が広がっており、高濃度のイオン注入を行った後に熱処理を行った場合には、ほとんど熱拡散して不純物層51が広がっていない。例えば50keV程度の低エネルギーのイオン注入を行った場合に、1300℃で30分程度の熱処理を行ったところ、1μm程度の深さまで不純物が熱拡散した。このように、低濃度のイオン注入を行ったのち熱処理層を行うと、広範囲領域への不純物のドーピングが可能となる。

【0028】また、イオン注入初期のイオン種濃度が低い場合には、格子置換されたイオン種が形成する不純物準位が浅く形成される。例えば、ボロンの場合には300meVに形成される。このため、低濃度のイオン注入を行った場合には活性化率が非常に向上されるといえる。このように、低濃度のイオン注入を行う工程及び熱処理を行う工程を繰り返すことで、一度の高濃度のイオン注入によってベース領域3a、3bを形成する場合に比して拡散係数や活性化率を高くすることができる。

【0029】そして、このような低濃度のイオン注入によると、低エネルギーのイオン注入によってベース領域3a、3bを形成することができる。つまり、一度のイオン注入によって接合深さが深いベース領域3a、3bを形成するためには、高エネルギーのイオン注入が行えるイオン注入装置が必要とされ、コスト的な問題があるがこのような問題を解消することができる。

【0030】[図2(c)に示す工程] LTO膜20を除去した後、基板1の上面から窒素をイオン注入して、 n^- 型エピ層2の表層部及び p^- 型ベース領域3a、3bの表面部(表層部)に表面チャネル層5を形成する。このときのイオン注入条件は、温度が700℃、ドーザ量が $1 \times 10^{15} \text{ cm}^{-2}$ としている。これにより、表面チ

ャネル層5は、 p^- 型ベース領域3a、3bの表面部では補償されて n 型の不純物濃度が薄い n^- 型層5aとして形成され、 n^- 型エピ層2の表面部では n 型の不純物濃度が濃い n^+ 型層5bとして形成される。従って、不純物濃度が高くなった n^+ 型層5bによってオン抵抗が低減される。

【0031】また、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)は、ゲート電極8に電圧を印加していない時における p^- 型ベース領域3a、3bから表面チャネル層5に広がる空乏層の伸び量と、ゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量との和よりも小さくなるようになっている。

【0032】具体的には、 p^- 型ベース領域3a、3bから表面チャネル層5に広がる空乏層の伸び量は、表面チャネル層5と p^- 型ベース領域3a、3bとのPN接合のビルトイン電圧によって決定され、ゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量は、ゲート絶縁膜7の電荷及びゲート電極8(金属)と表面チャネル層5(半導体)との仕事関数差によって決定されるため、これらに基づいて表面チャネル層5の膜厚を決定している。

【0033】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。また、図1に示すように、 p^- 型ベース領域3a、3bは、ソース電極10と接触して接地状態となっている。このため、表面チャネル層5と p^- 型ベース領域3a、3bとのPN接合のビルトイン電圧を利用して表面チャネル層5をピンチオフすることができる。例えば、 p^- 型ベース領域3a、3bが接地されてなくてフローティング状態となっている場合には、ビルトイン電圧を利用して p^- 型ベース領域3a、3bから空乏層を延ばすということができないため、 p^- 型ベース領域3a、3bをソース電極10と接触させることは、表面チャネル層5をピンチオフするのに有効な構造であるといえる。

【0034】なお、本実施形態では、不純物濃度が低いもので p^- 型ベース領域3a、3bを形成しているが、不純物濃度を高くすることによりビルトイン電圧をより大きく利用することができる。また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、 p^- 型ベース領域3a、3bや表面チャネル層5等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造

THIS PAGE BLANK (USPTO)

することができる。

【0035】また、ノーマリオフ型の縦型パワーMOSFETにするためには、上記条件を満たすように表面チャンネル層5の厚みを設定する必要があるが、シリコンを用いた場合にはビルトイン電圧が低いため、表面チャンネル層5の厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。しかしながら、SiCを用いた場合にはビルトイン電圧がシリコンの約3倍と高く、表面チャンネル層5の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0036】〔図3(a)に示す工程〕表面チャンネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN⁺をイオン注入し、n⁺型ソース領域4a、4bを形成する。このときのイオン注入条件は、温度が700℃、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ としている。

〔図3(b)に示す工程〕そして、LTO膜21を除去した後、フォトレジスト法を用いて表面チャンネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp⁻型ベース領域3a、3b上の表面チャンネル層5を部分的にエッチング除去する。

【0037】〔図3(c)に示す工程〕さらに、LTO膜22をマスクにしてボロンをイオン注入し、ディープベース層30a、30bを形成する。このとき、上述したp⁻型ベース領域を形成するときと同様に、まず、温度を700℃、加速度電圧を400keVとした上で、ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ の条件でボロンをイオン注入したのち、基板温度を1300℃に上昇して30分間の熱処理を行い、さらに基板温度を700℃に降温するというイオン注入工程を繰り返して、所望の不純物濃度になるようにディープベース層30a、30bを形成する。

【0038】このとき、加速度電圧を400keVとすることにより、注入深さは0.5~1μm程度となり、上記繰り返しイオン注入法によって注入されたイオン種を拡散させることで、ディープベース層30a、30bとn⁻型エピ層2との接合位置は1.5~2μmとすることができる。これにより、ベース領域3a、3bの一部が厚くなったものとなる。このディープベース層30a、30bは、n⁺型ソース領域4a、4bに重ならない部分に形成されると共に、p⁻型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30a、30bが形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

【0039】このように、接合深さが深くなるディープベース層30a、30bを、低濃度のイオン注入及び熱処理を繰り返すことで形成することにより、ベース領域

3a、3bを形成するときと同様の効果が得られる。

〔図4(a)に示す工程〕LTO膜22を除去した後、基板上にウェット酸化によってゲート酸化膜(ゲート絶縁膜)7を形成する。このとき、雰囲気温度は1080℃とする。

【0040】その後、ゲート酸化膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

〔図4(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。

【0041】〔図4(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。このようにして、図1に示す縦型パワーMOSFETが完成する。次に、この縦型パワーMOSFETの作用(動作)を説明する。

【0042】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ポリシリコンゲート電極に電圧を印加しない場合は、表面チャンネル層5においてキャリアは、p⁻型ベース領域3a、3bと表面チャンネル層5との間の静電ポテンシャルの差、及び表面チャンネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極8に電圧を印加することにより、表面チャンネル層5とポリシリコンゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャンネルの状態を制御することができる。

【0043】つまり、ポリシリコンゲート電極8の仕事関数を第1の仕事関数とし、p⁻型ベース領域3a、3bの仕事関数を第2の仕事関数とし、表面チャンネル層5の仕事関数を第3の仕事関数としたとき、第1~第3の仕事関数の差を利用して、表面チャンネル層5のn型のキャリアを空乏化する様に第1~第3の仕事関数と表面チャンネル層5の不純物濃度及び膜厚を設定することができる。

【0044】また、オフ状態において、空乏領域は、p⁻型ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャンネル層5内に形成される。この状態からポリシリコンゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO₂)7と表面チャンネル層5との間の界面においてn⁺型ソース領域4a、4bからn⁻型ドリフト領域2方向へ延びるチャンネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n⁺型ソース領域4a、4bから表面チャンネル層5を経由し表面チャンネル層5からn⁻型エピ層2に流れる。そして、n⁻型エピ層2(ドリフト領域)に達すると、電子は、n⁺型半導体

THIS PAGE BLANK (USPTO)

基板 1 (n^+ ドレイン) へ垂直に流れる。

【0045】このようにゲート電極 8 に正の電圧を印加することにより、表面チャネル層 5 に蓄積型チャネルを誘起させ、ソース電極 10 とドレイン電極 11 との間にキャリアが流れる。

(他の実施形態) 上記実施形態では、接合深さが深くなるベース領域 3a、3b やディープベース層 30a、30b を低濃度のイオン注入及び熱処理工程を施すことによって形成したが、イオン注入によって不純物層を形成する場合、例えば表面チャネル層 5 やソース領域 4a、4b を形成する場合にも、このような低濃度のイオン注入及び熱処理工程によって形成することができる。

【0046】また、上記低濃度イオン注入及び熱処理工程は、基板温度を 1300°C に保持したままイオン注入を断続的に行うことによって行ってもよい。さらに、イオン注入速度(電流量)を低速として、イオン注入と同時に熱処理を行っても、上記と同様の効果が得られる。例えば、 100keV 電圧において、 $1 \times 10^{14}\text{cm}^{-2}$ を 5 分間で実施している場合では、その後のアニール時間 30 分を含めて 35 分間の工程にて所望の濃度の不純物層を形成することができるのであるが、この場合に対してドーズ量を $1/7$ 程度に減少させ、 $3 \times 10^{13}\text{cm}^{-2}$ の条件にて 35 分間でイオン注入を行うようにしても、同様の効果が得られる。このように、ドーズ量を減

少させイオン注入量を小さくするようにした場合、結晶欠陥をさらに少なくすることができる。また、昇温、降温工程を省くことができ、短時間で有効に所望の濃度の不純物層を形成できる。

【図面の簡単な説明】

【図 1】本発明の一実施形態における縦型パワー MOSFET の断面図である。

【図 2】図 1 に示す縦型パワー MOSFET の製造工程を示す図である。

【図 3】図 2 に続く縦型パワー MOSFET の製造工程を示す図である。

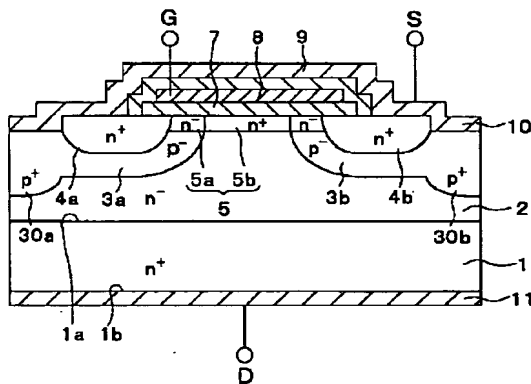
【図 4】図 3 に続く縦型パワー MOSFET の製造工程を示す図である。

【図 5】イオン注入における熱拡散の様子を示す図であり、(a) は低濃度イオン注入の場合を示す図であり、(b) は高濃度イオン注入の場合を示す図である。

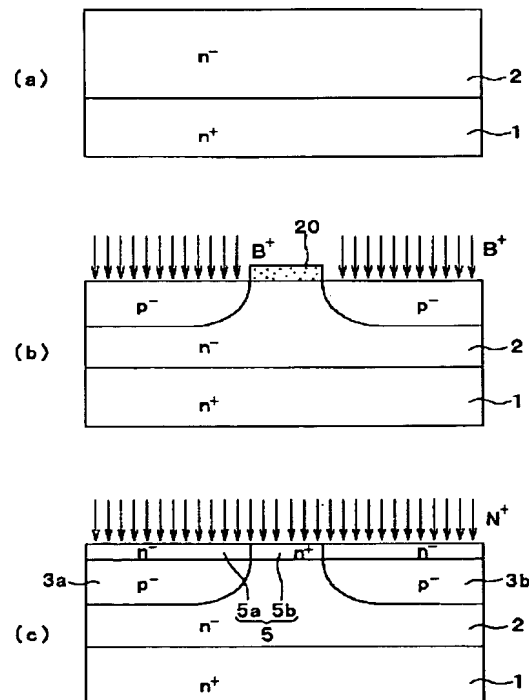
【符号の説明】

1... n^+ 型半導体基板、2... n^- 型エピ層、3a、3b... p^- 型ベース領域、4a、4b... n^+ 型ソース領域、5...表面チャネル層 (n^- 型 SiC 層)、5a... n^- 型層の部分、5b... n^+ 型層の部分、7...ゲート絶縁膜、8...ゲート電極、9...絶縁膜、10...ソース電極、11...ドレイン電極層。

【図 1】

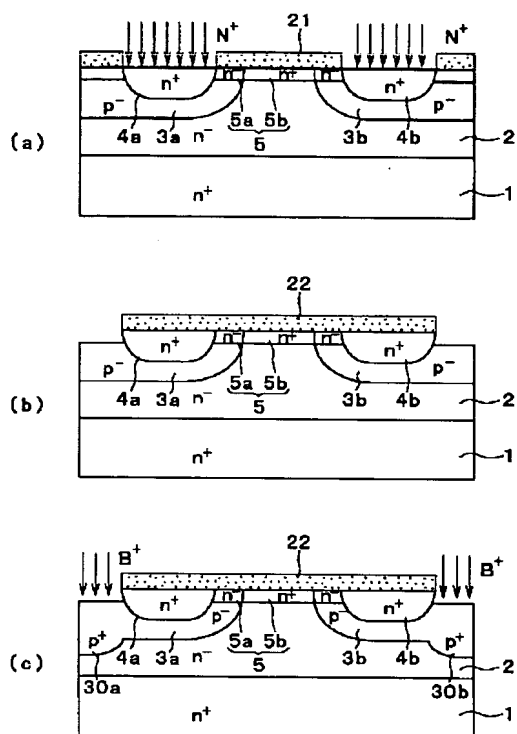


【図 2】

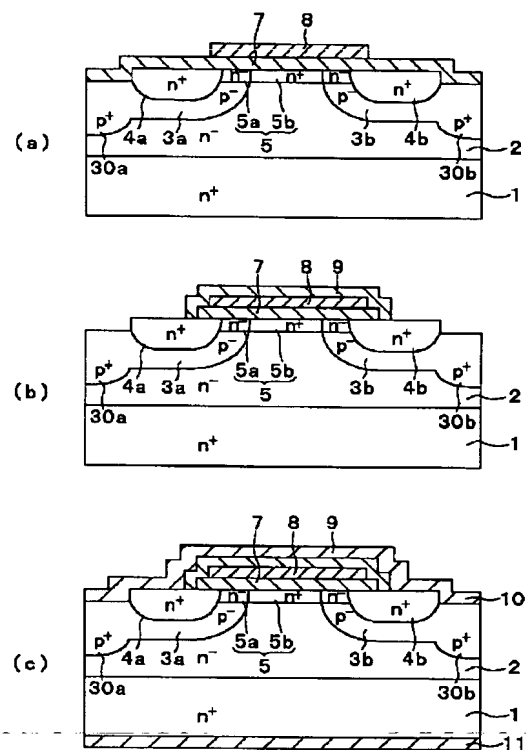


THIS PAGE BLANK (USPTO)

【図 3】

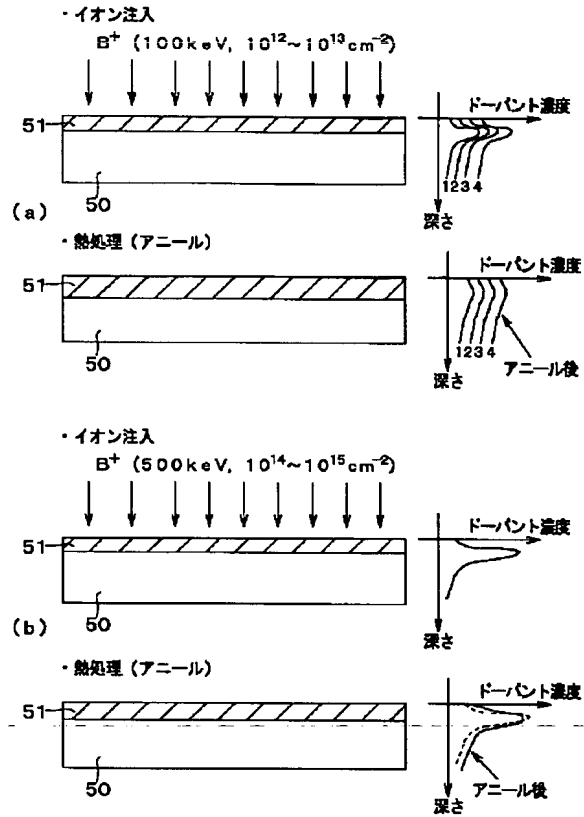


【図 4】



THIS PAGE BLANK (USPTO)

【図 5】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 29/78

6 5 2 C

THIS PAGE BLANK (USPTO)